

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-066752

(43)Date of publication of application : 19.03.1993

(51)Int.Cl. G09G 5/12
G09G 5/18
H03L 7/097
H04N 3/27
H04N 5/06
H04N 5/44

(21)Application number : 03-230034

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.09.1991

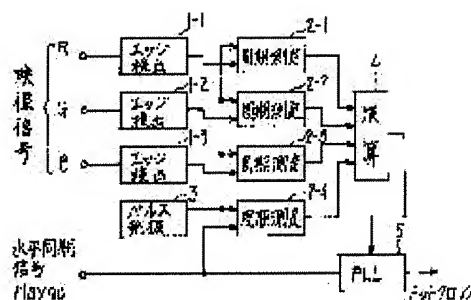
(72)Inventor : SOMEYA RYUICHI
KABUTO NOBUAKI

(54) DOT CLOCK REPRODUCTION CIRCUIT

(57)Abstract:

PURPOSE: To automatize the reproduction of a dot clock in an image display device provided with a sampling circuit system such as a matrix display device, etc.

CONSTITUTION: A dot cycle is detected from the primary color signal of a personal computer, etc., by an edge detection circuit 1, and the cycle is measured at a cycle measuring circuit 2. Meanwhile, the period of a horizontal synchronizing signal Hsync is also measured by the period measuring circuit 2, and a ratio of dot clock period to period of the horizontal synchronizing signal i.e., the multiplication of a PLL circuit 5 can be found by an arithmetic circuit 4. Thereby, it is possible to automatically reproduce the dot clock (a) fitted in an input signal by setting such value as the frequency division ratio of the frequency division counter of the PLL circuit 5.



LEGAL STATUS

[Date of request for examination] 19.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2988042

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

08.10.2002

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-66752

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	5/12	8121-5G		
	5/18	8121-5G		
H 0 3 L	7/097			
H 0 4 N	3/27	7037-5C		
		9182-5J	H 0 3 L 7/ 06	F

審査請求 未請求 請求項の数 6 (全 8 頁) 最終頁に続く

(21)出願番号 特願平3-230034

(22)出願日 平成3年(1991)9月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 染矢 隆一

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

(72)発明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

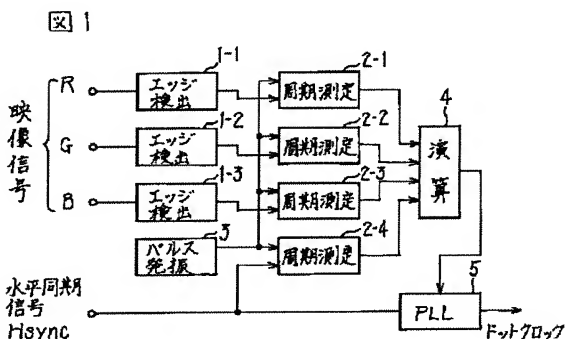
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 ドットクロック再生回路

(57)【要約】

【目的】マトリクス表示装置などサンプリング回路系を有する画像表示装置のドットクロック再生を自動化する。

【構成】パソコン等の原色信号からエッジ検出回路1によりドット周期を検出し、周期測定回路2でその周期を測定する。一方、水平同期信号の周期も周期測定回路2によって測定し、演算回路4でドットクロック周期と水平同期信号の周期の比、すなわち、PLL回路5のてい倍数を求める。この値をPLL回路5の分周カウンタの分周比として設定することで、自動的に入力信号に合ったドットクロックを再生することができる。



【特許請求の範囲】

【請求項１】水平同期信号を印加する端子と前記端子に印加した前記水平同期信号を周波数で倍するPLL回路からなるドットクロック再生回路において、前記水平同期信号の周期よりも短い一定の周期で信号レベルが変化する赤、緑、青の原色信号のうち少なくとも一つの原色信号から前記周期を検出するエッジ検出回路と、前記エッジ検出回路の出力から前記周期を測定する第一の周期測定回路と、前記水平同期信号の周期を測定する第二の周期測定回路と、前記第一、第二の周期測定回路のクロックパルスを供給するパルス発振回路と、前記第一、第二の周期測定回路の測定結果を演算して前記PLL回路を制御する演算回路を具備することを特徴とするドットクロック再生回路。

【請求項２】請求項１において、前記エッジ検出回路に遅延回路とレベルコンパレータを具備するドットクロック再生回路。

【請求項３】請求項１において、前記エッジ検出回路にA/Dコンバータとラッチ回路とレベルコンパレータを具備するドットクロック再生回路。

【請求項４】請求項１において、前記エッジ検出回路にサンプルホールド回路とレベルコンパレータを具備するドットクロック再生回路。

【請求項５】請求項１において、前記ドットクロック再生回路を具備する画像表示装置。

【請求項６】水平同期信号を印加する端子と前記端子に印加した水平同期信号を周波数で倍するPLL回路から成るドットクロック再生回路において、前記水平同期信号周期よりも短い一定の周期で信号レベルが変化する赤、緑、青の原色信号のうち少なくとも一つの原色信号から前記周期を検出するエッジ検出回路と、前記ドットクロック再生回路の出力信号を遅延する遅延量設定端子を具備した遅延回路と前記エッジ検出回路の出力と前記遅延回路の出力の相関値を出力する相関器と、前記相関器の出力に基づき、前記遅延回路の遅延量を制御する制御回路を具備することを特徴とするドットクロック再生回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、各種パソコンやEWS等の情報表示が可能なマルチスキャンディスプレイに係り、特に、マトリクス表示装置などサンプリング回路系をもつ画像表示装置のクロック生成に関する。

【０００２】

【従来の技術】パソコンやEWS等の映像信号は、水平同期信号周期よりも短い一定の周期（以下ドット周期）で信号レベルが変化しており、マトリクス表示装置に表示する場合や、メモリへ書き込んで信号処理を行う場合に、ドット周期に一致したクロック（以後ドットクロックと呼ぶ）が必要になる。ところが、ドットクロック出

力端子を持つパソコン等は少ないため、画像表示装置側で水平同期信号を倍してドットクロックを再生している。

【０００３】ドットクロック再生の一例として、テレビ技術 ８９年９月号記載の日立カラービデオプリンタVY-200がある。

【０００４】この装置は、オースキャン回路と呼ばれるPLL回路を持ち、入力されるいろいろな映像信号のドットクロックをこのPLL回路で再生している。ただ、ドットクロックの再生には、あらかじめパソコン等の信号源を接続して細い縦線などを表示しておき、PLL回路の倍数を、この細い縦線がスッキリ見えるように手で調整する必要があった。

【０００５】

【発明が解決しようとする課題】本発明は、ドットクロック再生回路の調整作業を自動化するものである。

【０００６】

【課題を解決するための手段】上記目的のために、本発明は映像信号からドット周期を、水平同期信号から水平走査周期を検出し、その両者の比からPLL回路の倍数を求め、その値をPLL回路の分周カウンタに設定する。

【０００７】

【作用】入力映像信号の仕様に合わせてドットクロックを自動的に再生することで、ユーザをドットクロック再生の調整作業から解放することができる。

【０００８】

【実施例】本発明の第一の実施例を図１に示す。図１はエッジ検出回路１、周期測定回路２、パルス発振回路３、演算回路４、PLL回路５から成る。エッジ検出回路１は図２に示すように、コンデンサ６、抵抗７、電圧源８、電圧源９、レベルコンパレータ１０、１１、ORゲート２１から成る。周期測定回路２は図３に示す様にカウンタ１２とラッチ１３から成る。PLL回路５は図４に示すように、位相比較器１４、L.P.F１５、VCO１６と分周比設定端子１８を持つ分周カウンタ１７より構成される。

【０００９】図１の動作は、次の通りである。パソコン等の映像信号RGBは、それぞれエッジ検出回路１－１、１－２、１－３に入力される。エッジ検出回路の動作波形を図５に示す。エッジ検出回路１に入力された映像信号では、コンデンサ６と抵抗７により微分され、この微分波形がレベルコンパレータ１０、１１に入力される。微分波形を得るために、コンデンサと抵抗の他、コンデンサとインダクタあるいはインダクタと抵抗の組合せでもよい。レベルコンパレータ１０、１１は入力された微分波形を、電圧源８、電圧源９と比較し、例えば微分波形が１Eより大きい時にレベルコンパレータ１０の出力が“H”、微分波形が２Eより小さい時にレベルコンパレータ１１の出力が“H”になる。レベルコンパレ

ータ10、11の出力はORゲート21に入力され論理和が出力される。ORゲート21の出力は映像信号レベルが大きく変化するポイントを抽出しており、これはドットクロック周期Tdに相当する。

【0010】ORゲート21の出力は、被測定パルスとして周期測定回路2に入力される。周期測定回路2では図3に示すように、被測定パルスがカウンタ12のクリアパルス、ラッチ13のクロックパルスとなる。一方、カウンタ12にはクロックパルスとしてパルス発振回路3から、被測定パルスよりも周波数の高いパルスが入力されている。そこで、被測定パルスが入力されるとカウンタ12のカウント値は“0”になり、カウンタ12は次の被測定パルスが入力されるまで、パルス発振器3のパルスをカウントする。次の被測定パルスが入力された時点で、カウント動作を停止して、カウント値を“0”にすると同時に、ラッチ13でそのカウント値をラッチし、被測定パルスの周期としてを出力される。

【0011】周期測定回路2-1、2-2、2-3によってドットクロック周期が測定され、演算回路4にその結果が入力される。また、周期測定回路2-4によって、水平同期信号の周期が測定され、その結果が演算回路4に入力される。演算回路4は、例えば、マイコンを用いてドットクロック周期と水平同期信号の周期の比を計算しその結果を出力する。計算方法は、例えば周期測定回路2-1と2-4の比、周期測定回路2-2、2-4の比、周期測定回路2-3、2-4の比をそれぞれ求め、これらの平均をとる。このようにして得られた演算回路4の出力は、一水平走査期間中のドットの総数にあたり、PLL回路5のてい倍数をこのドットの総数にすればドットクロックが再生できる。PLL回路5は図4のような構成で、分周カウンタ17の分周比設定端子18に演算回路4の出力、すなわち一水平走査期間中の総ドット数のデータを入力することで、VCO16から再生したドットクロックが得られる。

【0012】以上のようにして、映像信号と水平同期信号から、PLL回路5のてい倍数を決定して、自動的に入力信号のドットクロックを再生することができる。

【0013】エッジ検出回路1の第二の実施例を、図6に示す。図6はA/Dコンバータ19、ラッチ113、レベルコンパレータ20-1、20-2、ORゲート121から成るエッジ検出器である。図7に動作波形を示す。以下、図6の動作を述べる。

【0014】映像信号はA/Dコンバータ19に入力され、端子22に印加されるクロックによりA/D変換される。A/D変換された映像信号はラッチ113で端子22に印加されているクロックによりラッチされ、レベルコンパレータ20-1と、20-2に入力される。また、レベルコンパレータ20-1と20-2には、ラッチ113を通過する前の映像信号が入力されている。すなわち、レベルコンパレータ20-1、20-2は1ク

ロック分遅延した信号のレベルを比較している。レベルコンパレータ20-1の出力は、例えば、入力AとBの関係が $A < B$ の時“H”になるようにし、レベルコンパレータ20-2の出力は、 $B < A$ の時“H”になるようにする。このようにすると、映像信号が増加している期間レベルコンパレータ20-1の出力が“H”になり、映像信号の振幅が減少している期間レベルコンパレータ20-2の出力が“H”になる。このレベルコンパレータ20-1と20-2の論理和をORゲート121でとることにより、映像信号のレベルが大きく変化するポイントを抽出でき、ドットクロック周期Tdを検出できる。

【0015】図1のエッジ検出回路1として、図6のエッジ検出回路を用いることで、第一の実施例と同様に自動的に入力映像信号のドットクロックを再生することができる。尚、図6のエッジ検出回路の端子22には、A/Dコンバータ19とラッチ113を動作させるために、パルス発振器3の出力を印加すれば良い。

【0016】エッジ検出回路1の第三の実施例を図8に示す。図8はサンプルホールド回路23、レベルコンパレータ110、111、ORゲート221から成るエッジ検出回路である。図9にその動作波形を示す。以下図8の動作を述べる。

【0017】映像信号はサンプルホールド回路23に入力され、端子24に印加されるクロックパルスによってサンプルホールドされ、レベルコンパレータ110と111に入力される。また、レベルコンパレータ110、111にはサンプルホールドされる前の映像信号が入力されており、第二の実施例と同様に、レベルコンパレータ110と111で1クロック分遅延した映像信号レベルを比較している。レベルコンパレータ110の-入力にはサンプルホールドされる前の映像信号を入力し、+入力にはサンプルホールドされた後の映像信号を入力して、映像信号レベルが増加している期間、例えば、レベルコンパレータ110の出力が“H”になるようにする。一方、レベルコンパレータ111への+入力と-入力は、レベルコンパレータ110のそれと逆にして、映像信号レベルが減少している期間レベルコンパレータ111の出力を“H”にする。このレベルコンパレータ110と111の出力の論理和をORゲート221でとることにより、映像信号レベルが大きく変化するポイントを抽出でき、ドットクロック周期Tdを検出できる。尚、レベルコンパレータ110、111の比較電圧範囲に、若干のヒステリシスを設けることで雑音に対する誤動作を防ぐことができる。

【0018】図1のエッジ検出回路に図8の回路を用いることで、第一の実施例と同様に、自動的にドットクロックを再生することができる。図8の端子24には、サンプルホールド回路23を動作させるために、パルス発振器3の出力を印加すればよい。

【0019】エッジ検出回路 1 の第四の実施例を図 10 に示す。第三の実施例のサンプルホールド回路 23 の代りに遅延回路 25 を用いている。動作波形を図 11 に示す。映像信号を遅延回路 25 で遅延させる他は、第三の実施例と同じなので細かい説明は省く。

【0020】本発明を用いた画像表示システムを図 12 に示す。図 12 はドットクロック再生回路 26 と画像表示装置 27 から構成される。ドットクロック再生回路 26 は例えば、図 1 に示すような回路で構成される。画像表示装置 27 は、例えば、液晶ディスプレイなどのマトリクス表示装置や CRT ディスプレイあるいはビデオプリンタなどである。第一に実施例で述べたとおり、オートプリセット付ドットクロック再生回路 26 で自動的にドットクロックを再生し、そのドットクロックを映像信号、同期信号 $Hsync$ 、 $Vsync$ と共に画像表示装置 27 に入力して、所望の表示を行う。

【0021】本発明の第二の実施例を、図 13 に示す。図 13 はドットクロック再生回路 126、エッジ検出回路 101、相関器 28、制御回路 30、遅延回路 29 から成る。ドットクロック再生回路は、例えば、図 1 に示す回路で構成される。また、エッジ検出回路も例えば、図 2 で示す回路で構成される。相関器 28 は図 14 に示すように EX-OR ゲート 31、抵抗 107、コンデンサ 106 により構成される。遅延回路は図 15 に示すように、タップ付遅延線 32、マルチプレクサ 33、及びマルチプレクサ 33 の出力切り換え端子 34 で構成される。制御回路 30 は A/D コンバータ 119 とマイコン 35 により構成される。

【0022】図 13 の回路の特徴は、再生したドットクロックの位相を映像信号のドットの位相に近付けることである。

【0023】以下、図 13 の動作を述べる。映像信号はエッジ検出回路 101 に入力され、前述した動作原理に基づき、ドット周期のパルスを出力し、その出力は相関器 28 に入力される。一方、映像信号は水平同期信号 $Hsync$ とともにドットクロック再生回路に入力され、これも前述した動作原理に基づきドットクロックを再生し、遅延回路 29 で一定の遅延を受けた後、相関器 28 に入力される。ここで相関器の動作を図 17 (a)

(b) の波形図を用いて説明する。エッジ検出回路 101 の出力と遅延回路 29 の出力は、相関器 28 の中にある EX-OR ゲート 31 に入力される。図 17 (a) は遅延回路 29 が、例えば、タップ付き遅延線 32 の出力 33-a である場合で、図 17 (b) はタップ付き遅延線 32 の出力 33-b である場合である。(a) の場合

は (b) に比べてエッジ検出回路 101 の出力と遅延回路 29 の出力がずれており、EX-OR ゲート 31 の出力 “H” の期間が長くなっている。そこでこの出力を抵抗 107 とコンデンサ 106 により平均すると (a) の方が電圧は高くなる。すなわち、ドットクロックが映像信号からずれたことを意味する。さらに、この平均値を制御回路 30 の A/D コンバータ 119 で A/D 変換してそのデータをマイコン 35 に取り込み遅延回路の遅延量を制御する。制御方法は、例えば、垂直帰線期間を利用して、この期間に、マルチプレクサ 33 の全てを切り換えて、最も相関器の出力が小さくなる遅延量を求め、その値にマルチプレクサ 33 を設定する。

【0024】以上のようにして映像信号のドットに最も位相のずれが少ない。ドットクロックを再生することができる。

【0025】

【発明の効果】本発明によれば、入力した映像信号の仕様に合わせて、自動的にドットクロックの再生ができ、ユーザーをドットクロック再生の調整作業から解放することができる。

【図面の簡単な説明】

【図 1】本発明の第一の実施例を示すブロック図、

【図 2】図 1 のエッジ検出回路図、

【図 3】周期測定回路 2 の構成図である。

【図 4】PLL 回路のブロック図、

【図 5】エッジ検出回路の動作波形図、

【図 6】エッジ検出回路の第二の実施例を示すブロック図、

【図 7】図 6 の動作波形図、

【図 8】エッジ検出回路の第三の実施例を示すブロック図、

【図 9】図 8 の動作波形図、

【図 10】エッジ検出回路の第四の実施例を示すブロック図、

【図 11】図 10 の動作波形図、

【図 12】本発明を用いた画像表示システム図、

【図 13】本発明の第二の実施例を示すブロック図、

【図 14】相関器の回路図、

【図 15】遅延回路の説明図、

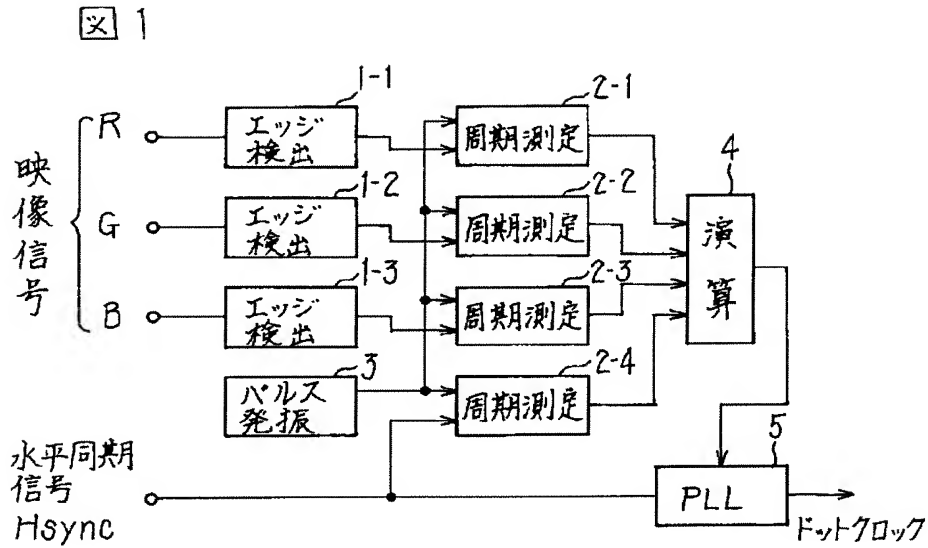
【図 16】制御回路のブロック図、

【図 17】相関器の動作波形図。

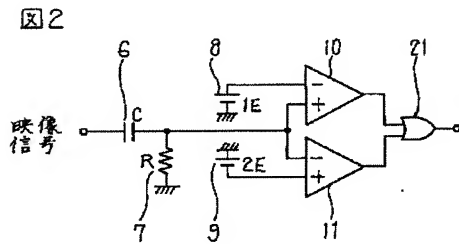
【符号の説明】

1、101…エッジ検出回路、 2…周期測定回路、
3…パルス発振回路、 4…演算回路、 5…PLL 回路。

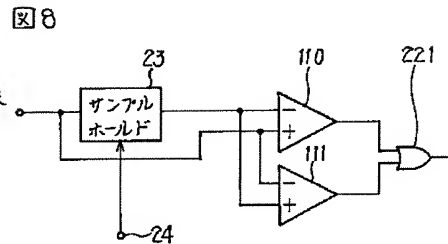
【図1】



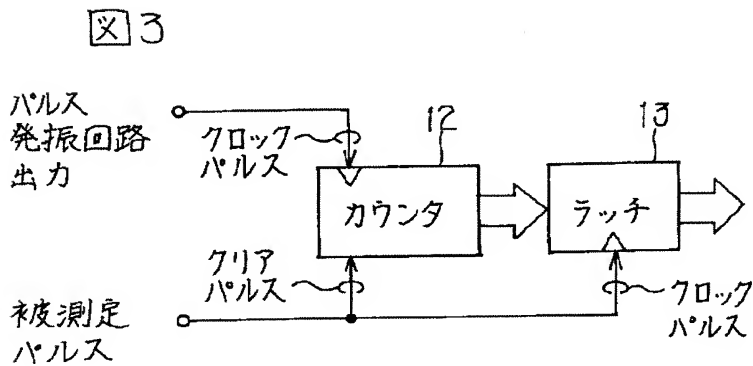
【図2】



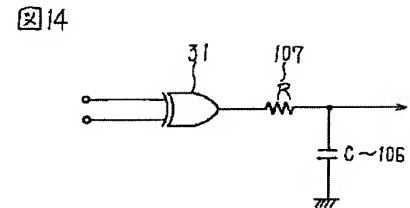
【図8】



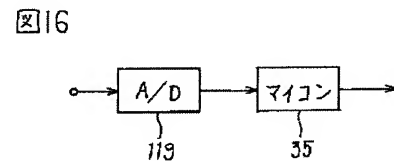
【図3】



【図14】

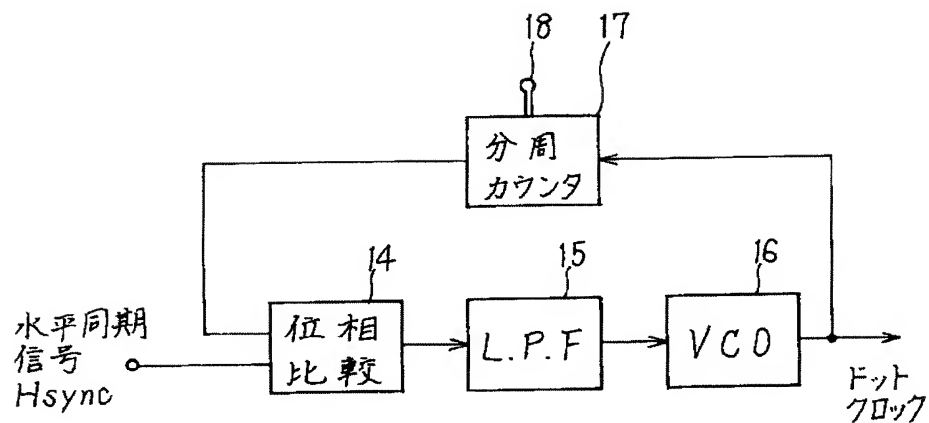


【図16】



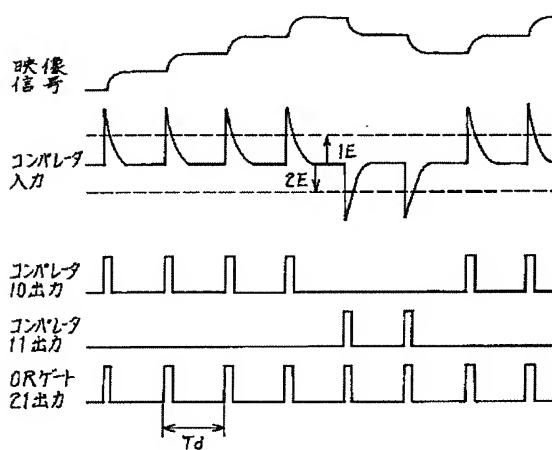
【図4】

図4



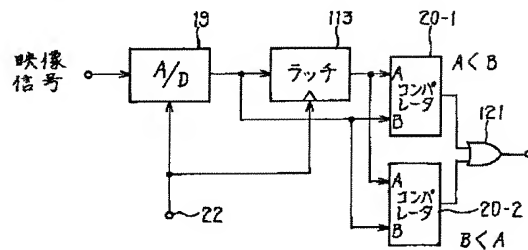
【図5】

図5



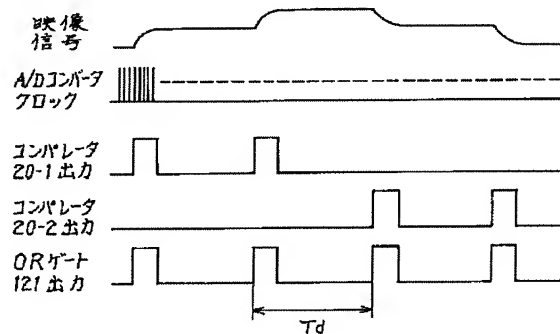
【図6】

図6

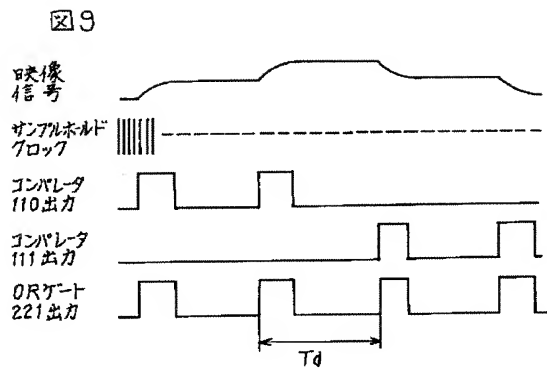


【図7】

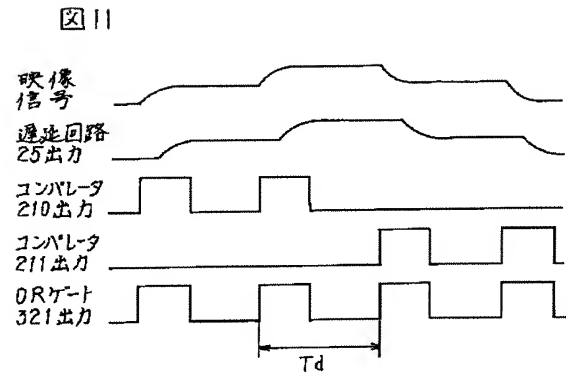
図7



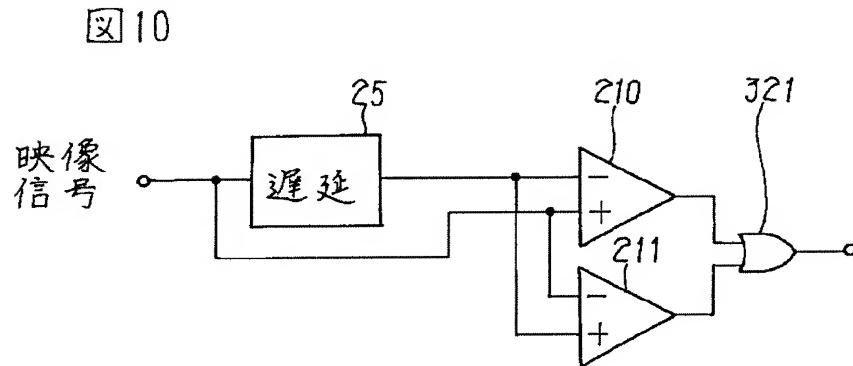
【図9】



【図11】

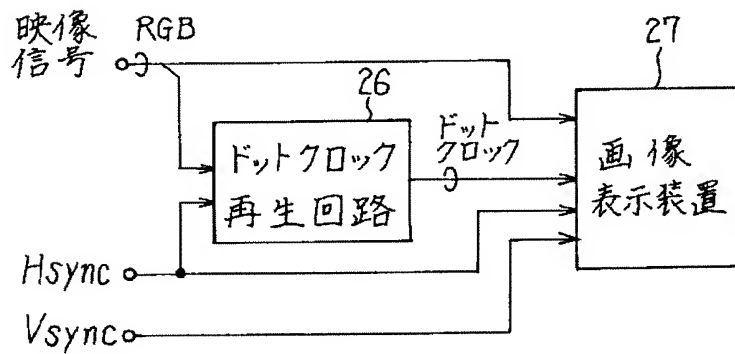


【図10】

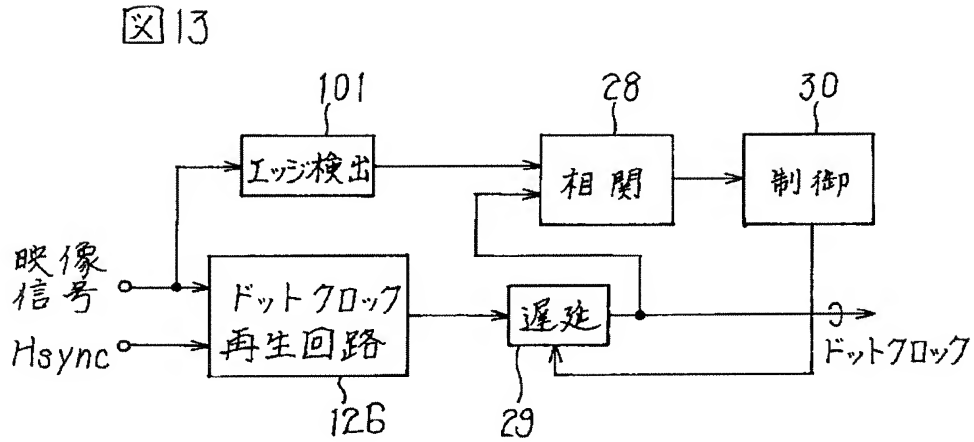


【図12】

図12

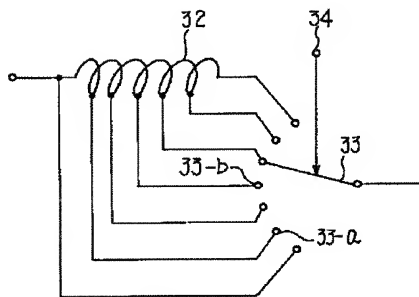


【図13】



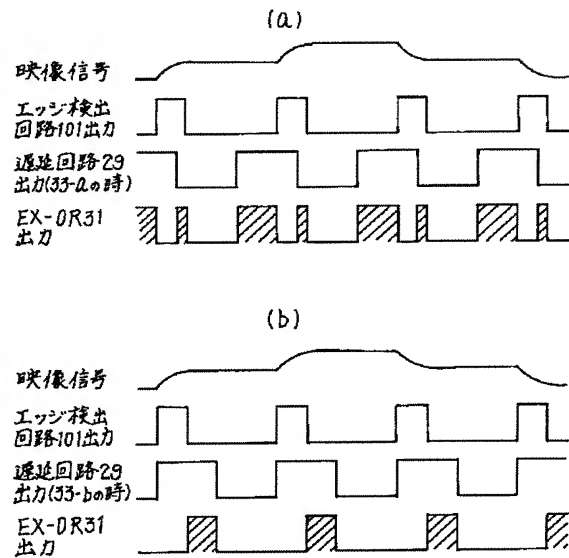
【図15】

図15



【図17】

図17



フロントページの続き

(51) Int. Cl.⁵

H 0 4 N 5/06

5/44

識別記号

庁内整理番号

F I

技術表示箇所

Z 9070-5C

Z 7037-5C